

JC986 U.S. PTO  
09/847790  
05/02/01

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 55481 호  
Application Number

출원년월일 : 2000년 09월 21일  
Date of Application

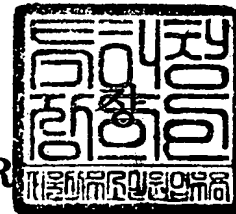
출원인 : 삼성전자 주식회사  
Applicant(s)



2000 년 10 월 17 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2000.09.21
【국제특허분류】	H01L
【발명의 명칭】	P L L 락 검출기회로 및 락 검출방법
【발명의 영문명칭】	Phase locked loop lock detector circuit and method of lock detection
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	이재욱
【성명의 영문표기】	LEE, Jae Wook
【주민등록번호】	700104-1927212
【우편번호】	135-271
【주소】	서울특별시 강남구 도곡1동 960번지 도곡대림아파트 102동 809호
【국적】	KR

## 【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인 이영

필 (인) 대리인

정상빈 (인) 대리인

이래호 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 4 면 4,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 33,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

위상동기루프(PLL) 회로를 구성하는 위상검출기회로의 락 검출오류를 방지하기 위해 제안된 락 검출방법에 따라 동작하는 PLL의 락검출기회로를 개시한다. 상기 락 검출 방법에 따라 동작하는 PLL 락검출기회로는, 동기일치회로, 라이징엣지검출회로, 폴링엣지검출회로, 및 논리회로를 구비한다. 상기 동기일치회로는 기준주파수신호 및 상기 기준주파수신호를 소정의 비율로 분주한 락원도우신호를 수신하고, 상기 기준주파수신호와 상기 락원도우신호의 동기를 일치시킨다. 상기 라이징엣지검출회로는 PLL의 출력신호를 소정의 비율로 분주한 신호와 상기 락원도우신호사이의 위상차를 나타내는 에러신호 및 상기 동기일치회로의 출력신호를 수신하고, 상기 동기일치회로의 출력신호의 라이징엣지에서 상기 에러신호의 상태를 검출한다. 상기 폴링엣지검출회로는 상기 에러신호와 상기 락원도우신호의 반전신호를 수신하고, 상기 락원도우신호의 반전신호의 라이징엣지에서 상기 에러신호의 상태를 검출한다. 상기 논리회로는 상기 라이징엣지검출회로의 출력신호와 상기 폴링엣지검출회로의 출력신호를 논리곱하여 상기 PLL 회로의 락(Lock) 또는 언락(Unlock) 여부를 나타내는 신호를 출력한다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

P L L 락검출기회로 및 락 검출방법{Phase locked loop lock detector circuit and method of lock detection}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 PLL 회로의 예를 나타내는 블록도.

도 2는 도 1의 PLL 회로를 구성하는 회로 중에서 종래의 위상검출기회로의 예를 나타내는 회로도.

도 3은 도 2에 도시된 종래의 위상검출기회로의 동작시 각 신호의 파형도.

도 4는 본 발명에 의해 제안된 락 검출방법에 따라 동작하는 PLL 락검출기회로의 회로도.

도 5는 도 4에 도시된 본 발명에 따른 실시예에서 락원도우신호(FR)의 위상이 신호(FN)의 위상에 뒤지는 경우의 각 신호들의 파형도(회로가 락으로 인식하는 경우).

도 6은 도 4에 도시된 본 발명에 따른 실시예에서 락원도우신호(FR)의 위상이 신호(FN)의 위상을 앞서는 경우의 각 신호들의 파형도(회로가 락으로 인식하는 경우).

도 7은 도 4에 도시된 본 발명에 따른 실시예에서 락원도우신호(FR)의 위상이 신호(FN)의 위상을 앞서는 경우의 각 신호들의 파형도.(회로가 언락으로 인식하는 경우)

도 8은 도 4에 도시된 본 발명에 따른 실시예에서 락원도우신호(FR)의 위상이 신호(FN)의 위상에 뒤지는 경우의 각 신호들의 파형도.(회로가 언락으로 인식하는 경우)

도 9(a)는 본 발명에 따른 PLL 락검출기회로가 구현된 칩에서 PLL의 루프가 형성된 경우 전압제어발진기로 입력되는 DC전압을 나타내는 파형도.

도 9(b)는 본 발명에 따른 PLL 락검출기회로가 구현된 칩에서 PLL의 루프가 형성된 경우 PLL 락검출기회로의 출력을 나타내는 파형도.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 위상동기루프(PLL, Phase Locked Loop)에 관한 것으로서, 특히 PLL의 락검출기회로(Lock Detector Circuit)에 관한 것이다.

<13> 상기 PLL은 마이크로프로세서 및 이동통신 분야 등에서 유용하게 사용되고 있다. 마이크로프로세서는 전원이 꺼진 상태에서 파워를 온(Power ON) 시킬 때, 전압제어발진 주파수가 마이크로프로세서의 정상적인 동작주파수와 일치하게 되는 상태 즉 PLL이 락될 때까지는 리셋상태를 유지한다. 이는 마이크로프로세서가 잘못된 주파수에 의해 오동작 하는 것을 방지하기 위해서이다. 주파수에 민감한 기계들, 예를 들어 이동통신장치들은 이러한 마이크로프로세서를 사용하므로 이들 영역에서 PLL은 특히 중요하게 다루어진다.

<14> 도 1은 기존의 PLL을 나타내는 블록도이다.

<15> 도 1을 참조하면, 기존의 PLL은, 제1주파수분주기(10), 에러신호발생기(11), 위상검

출기회로(12), 저역통과여파기(13), 전압제어발진기(14) 및 제2주파수분주기(15)를 구비한다.

<16> 제1주파수분주기(10)는 기준주파수(XCK)를 소정의 비율로 분주하며, 제2주파수분주기(15)는 전압제어발진기(14)의 출력주파수( $f_o$ )를 소정의 비율로 분주 한다.

<17> 에러신호발생기(11)는 제1주파수분주기(10)의 출력신호(FR) 및 제2주파수분주기(15)의 출력신호(FN)의 위상차를 나타내는 에러신호(LDI)를 생성한다.

<18> 위상검출기회로(12)는 제1주파수분주기(10)의 출력신호(FR)와 에러신호(LDI)의 주파수 및 위상을 비교한다. 위상검출기회로(12)의 출력 즉 오차전압(Verr)은 제1주파수분주기(10)의 출력신호 즉 락원도우신호(FR)와 제2주파수분주기(15)의 출력신호 즉 신호(FN)와의 주파수차 및 위상차에 비례한 평균직류전압이다.

<19> 저역통과여파기(13)는 위상검출기회로(12)의 출력인 오차전압(Verr)의 고주파성분과 잡음을 제거하고, PLL의 동적 특성을 결정한다.

<20> 전압제어발진기(14)는 위상검출기회로(12)의 출력인 오차전압(Verr)이 적어지는 방향으로 그 출력주파수( $f_o$ )를 조절한다. 전압제어발진기(14)의 출력주파수( $f_o$ )는, 일반적으로 발진기의 외부에 연결된 소자들의 쌍(pair) 즉 저항과 커패시터의 회로소자 값 또는 인덕터와 커패시터의 회로소자 값에 의해 결정된다.

<21> PLL의 락검출기회로는 락조건검출기회로(Lock Condition Detector) 또는 위상검출기회로(Phase Detector Circuit) 등으로 불려지는데, 설계자가 임의로 설정한 락원도우신호의 폭과 에러신호의 폭을 비교하여 PLL의 락 여부를 결정하는 기능을 수행한다. 이 판단의 결과를 나타내는 '락(Lock)'신호 또는 '언락(Unlock)'신호는, 사용자에게 전달되어

회로의 내부 회로를 제어하거나 응용회로 및 시스템 구성상의 편의를 제공한다.

<22> 도 2는 도 1에 도시된 일반적인 PLL의 기능회로 중에서, 종래의 위상검출기회로(락 검출기회로)의 예를 나타내는 회로도이고, 도 3은 도 2에 도시된 종래의 위상검출기회로의 동작시 각 신호의 파형도이다.

<23> 도 2 및 도 3을 참조하면, 리셋신호(R)는 D플립플롭(20; Delay flip flop)을 초기화시키는 신호이고, 종래의 위상검출기회로는, D플립플롭(20)의 콘트롤클락단자(CK)에 기준주파수신호를 2분주한 신호( $XCK/2$ )를 인가하여 락원도우신호의 기능을 하는 신호로서 사용한다.

<24> 그런데 도 2에 도시된 종래의 위상검출기회로는, 락원도우신호( $XCK/2$ )와 에러신호(LDI)의 동기가 일치하지 않는 경우가 자주 발생하며 또한 락원도우신호( $XCK/2$ )의 라이징엣지 또는 폴링엣지 중 한 쪽 엣지에서만 에러신호(LDI)의 상태를 검출하기 때문에, 실제로 락인 경우를 언락으로, 언락인 경우를 락으로 판정하는 오류를 발생하는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<25> 따라서 본 발명이 이루고자 하는 제1의 기술적 과제는, 락 또는 언락에 대한 판정 오류를 방지하는 락검출기회로를 제공하는 데 있다.

<26> 본 발명의 이루고자 하는 제2의 기술적 과제는, 에러신호의 상태를 락원도우신호의 라이징엣지와 폴링엣지 두 곳에서 검출하도록 하여, 락 여부판정의 정밀도를 높이는 락 검출방법을 제공하는 것이다.



**【발명의 구성 및 작용】**

- <27>       상기 제1의 기술적 과제를 달성하기 위한 본 발명에 따르면, 동기일치회로, 라이징 엣지검출회로, 폴링엣지검출회로 및 논리회로를 구비하는 것을 특징으로 하는 PLL 락검출기회로가 제공된다.
- <28>       상기 동기일치회로는 기준주파수신호 및 상기 기준주파수신호를 소정의 비율로 분주한 락원도우신호를 수신하고, 상기 기준주파수신호와 상기 락원도우신호의 동기를 일치시킨다.
- <29>       상기 라이징엣지검출회로는 PLL의 출력신호를 소정의 비율로 분주한 신호와 상기 락원도우신호사이의 위상차를 나타내는 에러신호 및 상기 동기일치회로의 출력신호를 수신하고, 상기 동기일치회로의 출력신호의 라이징엣지에서 상기 에러신호의 상태를 검출한다.
- <30>       상기 폴링엣지검출회로는 상기 에러신호와 상기 락원도우신호의 반전신호를 수신하고, 상기 락원도우신호의 반전신호의 라이징엣지에서 상기 에러신호의 상태를 검출한다.
- <31>       상기 논리회로는 상기 라이징엣지검출회로의 출력신호와 상기 폴링엣지검출회로의 출력신호를 논리곱하여 상기 PLL의 락 여부를 나타내는 신호를 출력한다.
- <32>       상기 제2의 기술적 과제를 달성하기 위한 본 발명에 따르면, 기준주파수신호와 상기 기준주파수신호를 소정의 비율로 분주한 락원도우신호의 동기를 일치시키는 단계, 상기 동기가 일치된 신호의 라이징엣지에서 상기 PLL의 출력신호를 소정의 비율로 분주한 신호와 상기 락원도우신호 사이의 위상의 차를 나타내는 에러신호의 상태를 검출하는 단

계, 상기 락원도우신호의 반전신호의 라이징엣지에서 상기 에러신호의 상태를 검출하는 단계 및 상기 동기가 일치된 신호의 라이징엣지에서 검출된 신호와 상기 락원도우신호의 반전신호의 라이징엣지에서 검출된 신호를 논리곱하여 상기 PLL의 락 여부를 결정하는 단계를 구비하는 것을 특징으로 하는 PLL 락 검출방법이 제공된다.

<33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<34> 도 4는 본 발명의 일 실시예에 따른 PLL 락검출기회로를 나타내는 회로도이다.

<35> 도 4를 참조하면, 본 발명의 일 실시예에 따른 PLL 락검출기회로는, 동기일치회로(40), 라이징엣지검출회로(42), 폴링엣지검출회로(44) 및 논리회로(46)를 구비하고, 본 발명에 따른 락 검출방법에 따라 동작한다.

<36> 동기일치회로(40)는 기준주파수(XCK)와 상기 기준주파수(XCK)를 소정의 비율로 분주한 락원도우신호(FR)의 동기를 일치시킨다. 이렇게 함으로써 락원도우신호(FR)의 라이징엣지에서 에러신호(LDI)의 상태를 검출할 때, 락원도우신호(FR)와 에러신호(LDI)의 동기가 일치하지 않기 때문에 발생하는 락검출기회로의 락 여부 판정오류를 일차적으로 방지할 수 있다. 여기서 에러신호(LDI)는 락원도우신호(FR)와 PLL의 출력주파수( $f_o$ )를 소정의 비율로 분주한 신호(FN) 사이의 위상차를 나타내는 신호이다.

<37> 라이징엣지검출회로(42)는 동기일치회로(40)의 출력신호 즉 동기가 일치된 신호(N2)의 라이징엣지에서 에러신호(LDI)의 상태를 검출한다. 구체적으로 설명하면, 라이징엣지검출회로(42)는 동기가 일치된 신호(N2)가 'L(Low)상태'일 때 에러신호(LDI)를 감지

한 다음, 동기가 일치된 신호(N2)가 'H(High)상태'로 천이(transition)할 때 감지한 에러 신호(LDI)의 상태를 출력한다.

<38> 폴링엣지검출회로(44)는 락원도우신호(FR)의 반전신호(400)의 라이징엣지에서 에러 신호(LDI)의 상태를 검출한다. 구체적으로 설명하면, 폴링엣지검출회로(44)는 락원도우 신호(FR)의 반전신호(400)가 'L'상태일 때 에러신호(LDI)의 상태를 감지하고, 락원도우 신호(FR)의 반전신호(400)가 'H'상태로 천이할 때 감지한 에러신호(LDI)의 상태를 출력한다. 다시 말해, 락원도우신호(FR)의 폴링엣지에서 에러신호(LDI)의 상태를 검출한다.

<39> 논리회로(46)는 라이징엣지검출회로(42)의 출력(N3)과 폴링엣지검출회로(44)의 출력(N4)의 값을 논리곱하여 PLL의 락 또는 언락상태를 나타내는 신호(N5)를 출력한다.

<40> 상기에서 설명한 바와 같이 본 발명에서 제안하는 '락 검출방법(Method of Lock Detection)'은, 기준주파수(XCK)와 락원도우신호(FR)의 동기를 일치시킨 신호 즉 신호(N2)의 라이징엣지와 락원도우신호(FR)의 폴링엣지의 두 곳에서 에러신호(LDI)의 상태를 검출하고, 검출된 두 신호(N3 및 N4)를 논리곱하여 락 여부를 나타내는 것이다. 이 방법을 사용함으로써 락검출기회로의 락 또는 언락에 대한 최종판정오류를 방지할 수 있다.

<41> 본 발명의 일 실시예인 도 4에 의하면, 락검출기회로를 구성하는 동기일치회로(40), 라이징엣지검출회로(42) 및 폴링엣지검출회로(44)는 각각 같은 구조를 갖는 D플립플랍(Delay flip flop)을 구비할 수 있다.

<42> 동기일치회로(40)를 구성하는 D플립플랍(50)은, D입력단자(DFF)로 락원도우신호(FR)를, 콘트롤클락단자(CK)로 기준주파수(XCK)를 각각 수신한다. 따라서 락원도우신호(FR)는, D플립플랍의 동작특성에 따라, 기준주파수(XCK)신호의 1 주기만큼의 지연시간

후에 위상의 변화는 없고 기준주파수(XCK)신호와 동기 일치된 상태로 D플립플롭의 출력단자(Q)에 출력(N2)된다.

<43> 라이징엣지검출회로(42)를 구성하는 D플립플롭(52)은, D입력단자(DFF)로 에러신호(LDI)를, 콘트롤클락단자(CK)로 동기일치회로(40)의 출력(N2)을 각각 수신한다. 따라서 라이징엣지검출회로(42)는, D플립플롭의 동작특성에 따라, 동기일치회로(40)의 출력신호(N2)가 'L'상태일 때 에러신호(LDI)의 상태를 인식한 다음, 동기일치회로(40)의 출력신호(N2)가 'H'상태로 천이할 때 이미 인식한 에러신호(LDI)의 상태를 출력한다.

<44> 폴링엣지검출회로(44)를 구성하는 D플립플롭(54)은, D입력단자(DFF)로 에러신호(LDI)를, 콘트롤클락단자(CK)로 락원도우신호(FR)의 반전신호(400)를 각각 수신한다. 따라서 폴링엣지검출회로(44)는, D플립플롭의 동작특성에 따라, 락원도우신호(FR)의 반전신호(400)가 'L'상태일 때 에러신호(LDI)의 상태를 인식한 다음, 신호(400)가 'H'상태로 천이할 때 이미 인식한 에러신호(LDI)의 상태를 출력한다. 이 경우 락원도우신호(FR)의 반전신호(400)의 라이징엣지에서 신호를 출력한다는 것은 위상이 반전되기 이전 신호 즉 락원도우신호(FR)의 폴링엣지에서 신호를 출력한다는 것과 같은 의미가 된다.

<45> 상기 PLL의 락검출기회로의 최종출력(N5)을 나타내는 논리회로(46)는 한 개의 NAND 게이트와 위상을 반전시키는 인버터를 구비할 수 있다. 라이징엣지검출회로(42)의 출력(N3)과 폴링엣지검출회로(44)의 출력(N4)중에서 어느 하나라도 'L'상태가 되면 최종출력(N5)은 'L'상태가 된다. 최종출력(N5)이 'L'상태이면 PLL은 '언락'상태인 것을 의미한다. 따라서 두 신호(N3, N4)가 모두 'H'상태일 때, 즉 에러신호(LDI)의 폭이 락원도우신호(FR)의 폭보다 적은 경우에는 출력신호(N5)의 값이 'H'상태가 되어 PLL은 락 상태를 나타낸다

- <46> 본 발명의 일 실시예인 도 4의 PLL 락검출기회로의 동작특성을 보다 쉽게 이해하기 위하여, 락원도우신호(FR)와 신호(FN)의 위상의 위치에 따라 크게 4가지 경우로 나누어 도 5에서 도 8까지 그 시뮬레이션 결과를 도시하였다.
- <47> 도 5는, 도 4의 실시예에서 락원도우신호(FR)의 위상이 신호(FN)의 위상에 뒤쳐지는 경우(회로가 락으로 인식하는 경우)이고, 도 6은, 도 4의 실시예에서 락원도우신호(FR)의 위상이 신호(FN)의 위상을 앞서는 경우(회로가 락으로 인식하는 경우)의 각 신호들의 파형도이다.
- <48> 도 7은, 도 4의 실시예에서 락원도우신호(FR)의 위상이 신호(FN)의 위상을 앞서는 경우(회로가 언락으로 인식하는 경우)이고, 도 8은, 도 4의 실시예에서 락원도우신호(FR)의 위상이 신호(FN)의 위상에 뒤쳐지는 경우(회로가 언락으로 인식하는 경우)의 각 신호들의 파형도이다.
- <49> 이하 도 5내지 도 8에 도시된 파형도들을 참고하여 도 4에 도시된 본 발명에 따른 PLL 락검출기회로의 동작을 좀더 자세히 설명한다.
- <50> 리셋신호(R)가 인가되면(High 상태) 도 4에 도시된 각 회로의 출력(N2, N3 및 N4)과 최종출력(N5)은 모두 'L'상태가 된다.
- <51> 리셋신호(R)가 해제된 후(Low 상태), 기준주파수신호(XCK)가 'L'상태에서 'H'상태로 최초로 천이할 때, 락원도우신호(FR)의 전압상태가 동기일치회로(40)의 출력(N2)에 나타난다. 따라서 동기일치회로(40)의 출력(N2)은, 락원도우신호(FR)가 기준주파수신호(XCK)의 약 한 주기정도 지연된 신호가 되며, 상기 기준주파수신호(XCK)와 동기가 일치된 상태가 된다. 도 5에 도시된 파형에 따르면, 동기일치회로(40)의 출력(N2)은 이 순간 'H'상

태가 된다.

- <52> 동기일치회로(40)의 출력(N2)이 'L'상태에서 'H'상태로 천이되는 순간, 즉 락원도우 신호(FR)의 라이징엣지에서, 에러신호(LDI)의 상태가 라이징엣지검출회로(42)의 출력(N3)으로 나타난다. 도 5에 도시된 파형에 따르면, 이 때 라이징엣지검출회로(42)의 출력(N3)은 'H'상태가 된다.
- <53> 락원도우신호(FR)의 반전신호(400)가 'L'상태에서 'H'상태로 천이되는 라이징엣지에서, 다시 말해서 락원도우신호(FR)가 'H'상태에서 'L'상태로 천이되는 폴링엣지에서, 에러신호(LDI)의 상태가 폴링엣지검출회로(44)의 출력(N4)에 나타난다. 도 5에 도시된 파형에 따르면, 폴링엣지검출회로(44)의 출력(N4)은 'H'상태가 된다.
- <54> 두 개의 출력신호(N3, N4)의 값에 따라 논리회로의 최종출력(N5)은 결정된다. 도 5에 따르면, 라이징엣지검출회로(42)의 출력(N3)이 'H'상태를 유지한 상태에서 폴링엣지검출회로(44)의 출력(N4)이 'H'상태로 천이되는 순간 논리회로의 최종출력(N5)은 'H'상태가 되어 PLL이 락 되었음을 나타낸다.
- <55> 논리회로의 최종출력(N5)이 'H'상태, 즉 락 되었다는 것은, 에러신호(LDI)의 폭이 락원도우신호(FR)의 폭보다 좁기 때문에 전압제어발진기의 출력주파수( $f_0$ )는 변동되지 않는다는 것을 의미한다.
- <56> 도 5에서는 신호(FN)가 락원도우신호(FR)의 위상을 약간 앞서는 때를 나타내는 반면에, 도 6의 경우는 반대로 락원도우신호(FR)가 신호(FN)의 위상을 약간 앞서는 때를 나타낸다. 도 5와 도 6의 경우 에러신호(LDI)의 폭은 공히 락원도우신호(FR)의 폭 보다 좁다. 따라서 도 5와 도 6은 모두 최종출력(N5)으로 'H'상태를 유지한다.

- <57> 그러나 도 7 및 도 8에서 보면, 락원도우신호(FR)와 신호(FN)의 위상차인 에러신호(LDI)의 폭이 공히 락원도우신호(FR)의 폭을 초과한다.
- <58> 도 7에서 보면, 리셋신호(R)가 해제된 후(Low 상태), 기준입력주파수(XCK)와 동기가 일치된 락원도우신호(FR), 즉 동기일치회로(40)의 출력(N2)의 라이징엣지에서 이미 에러신호(LDI)의 폭이 락원도우신호(FR)의 폭을 초과했음을 감지한다. 따라서 상기 PLL 락검출기회로의 최종출력(N5)은 폴링엣지검출회로(44)의 출력(N4)의 상태에 관계없이 언락상태인 'L'상태를 출력한다.
- <59> 도 8에서 보면, 리셋신호(R)가 해제된 후, 락원도우신호(FR)의 폴링엣지에서 에러신호(LDI)의 폭이 락원도우신호(FR)의 폭을 이미 초과한 것을 감지한다. 따라서 상기 PLL 락검출기회로의 최종출력(N5)은 라이징엣지검출회로(42)의 출력(N3)상태에 관계없이 언락상태인 'L'상태를 출력한다.
- <60> 도 7에서 보면, 기준주파수신호(XCK)와 락원도우신호(FR)의 동기가 일치된 신호 즉 신호(N2)의 라이징엣지에서 락 조건을 감지하고 있으며, 도 8에 의하면 락원도우신호(FR)의 반전신호(400)의 라이징엣지 즉 락원도우신호(FR)의 폴링엣지에서 그 조건을 감지한다. 그 결과 에러신호(LDI)의 폭이 락원도우신호(FR)의 폭보다 넓다는 신호로서 논리회로의 최종출력(N5)은 'L'상태를 나타낸다.
- <61> 상기에서 살펴본 바와 같이, 본 발명에 따른 PLL의 락검출기회로는 일차적으로 락원도우신호(FR)는 기준주파수신호(XCK)와 동기를 맞추고, 이차적으로 동기가 일치된 신호(N2)의 라이징엣지와 동기가 일치되기 전의 락원도우신호(FR)의 폴링엣지에서 에러신호(LDI)의 상태를 각각 검출하며, 검출된 두 신호(N3 및 N4)의 논리곱을 통하여 락검출

기회로의 락 또는 언락 에 대한 판정을 수행한다. 따라서 본 발명에 따른 PLL의 락검출 기회로는, 락 또는 언락 에 대한 판정오류를 이중으로 방지하도록 고안되었음을 알 수 있다.

<62> 도 9는 본 발명에 따른 PLL 락검출기회로가 구현된 칩에서 PLL이 '락'을 찾아가는 과정을 나타내는 파형도이다.

<63> 도 9를 참조하면, PLL이 루프가 형성된 경우 PLL 락검출기회로의 출력(N5)은, PLL 이 락 조건에 만족하기 위하여 전압제어발진기(14)의 주파수가 변하는 상태 즉 전압제어 발진기의 입력 DC전압( $V_{coi}$ )이 'L'상태에서 'H'상태로 변동하여 일정한 전압 값에 수렴하면 비로소 '락' 신호를 출력함을 알 수 있다.

<64> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<65> 상술한 바와 같이 본 발명에 따른 PLL 락검출기회로 및 락 검출방법은, 비교하는 두 신호의 펄스 폭의 차이를 오류 없이 검출해 낼 수 있는 장점이 있다.



**【특허청구범위】****【청구항 1】**

위상동기루프(PLL) 회로의 락 상태 여부를 검출하는 락검출기회로에 있어서,  
기준주파수신호 및 상기 기준주파수신호를 소정의 비율로 분주한 락원도우신호를 수신하고, 상기 락원도우신호와 상기 기준주파수신호의 동기를 일치시키는 동기일치회로 ;

상기 PLL의 출력신호를 소정의 비율로 분주한 신호와 상기 락원도우신호 사이의 위상의 차를 나타내는 에러신호 및 상기 동기일치회로의 출력신호를 수신하고, 상기 동기일치회로의 출력신호의 라이징엣지에서 상기 에러신호의 상태를 출력하는 라이징엣지검출회로;

상기 에러신호 및 상기 락원도우신호의 반전신호를 수신하고, 상기 락원도우신호의 반전신호의 라이징엣지에서 상기 에러신호의 상태를 출력하는 폴링엣지검출회로; 및

상기 라이징엣지검출회로의 출력신호와 상기 폴링엣지검출회로의 출력신호를 논리곱하여 상기 PLL의 락 여부를 나타내는 신호를 출력하는 논리회로를 구비하는 것을 특징으로 하는 PLL 락검출기회로.

**【청구항 2】**

제1항에 있어서, 상기 동기일치회로는,

콘트롤클락단자 및 D입력단자(Delay input terminal)를 입력신호용 단자로, 출력단자(Q) 및 반전출력단자(QB)를 출력신호용 단자로 갖는 D플립플롭(Delay flip flop)을 구

비하며, 상기 콘트롤클락단자에는 상기 기준주파수신호, 상기 D입력단자에는 상기 락원도우신호가 각각 인가되는 것을 특징으로 하는 PLL 락검출기회로.

### 【청구항 3】

제1항에 있어서, 상기 라이징엣지검출회로는,

콘트롤클락단자 및 D입력단자를 입력신호용 단자로, Q 및 QB를 출력신호용 단자로 갖는 D플립플롭을 구비하며, 상기 콘트롤클락단자에는 상기 동기일치회로의 출력, 상기 D입력단자에는 상기 에러신호가 각각 인가되는 것을 특징으로 하는 PLL 락검출기회로.

### 【청구항 4】

제1항에 있어서, 상기 폴링엣지검출회로는,

콘트롤클락단자 및 D입력단자를 입력신호용 단자로, Q 및 QB를 출력신호용 단자로 갖는 D플립플롭을 구비하며, 상기 콘트롤클락단자에는 상기 락원도우신호의 반전신호, 상기 D입력단자에는 상기 에러신호가 각각 인가되는 것을 특징으로 하는 PLL 락검출기회로.

### 【청구항 5】

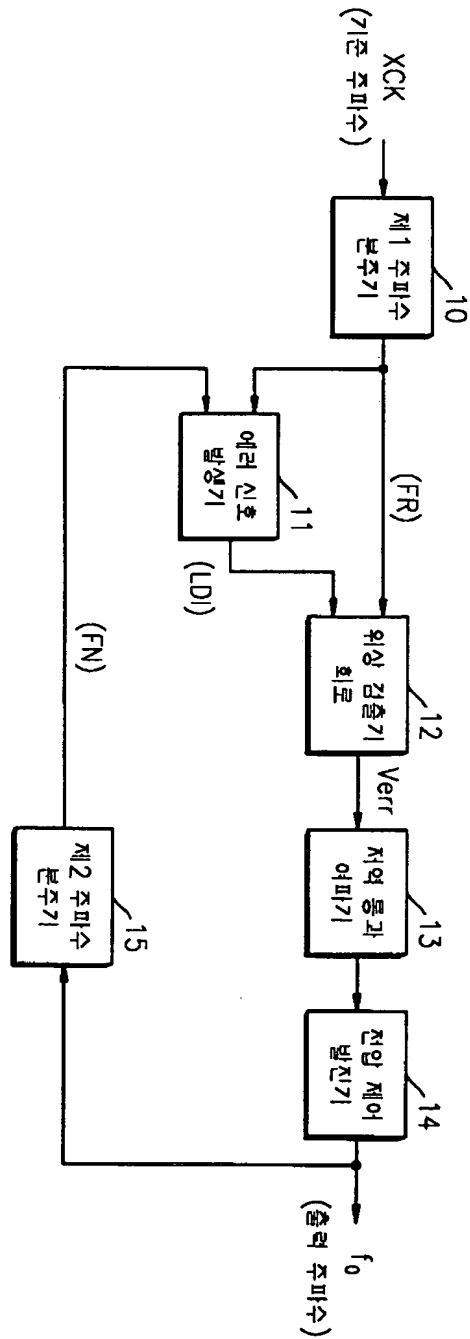
PLL 회로의 락 상태를 검출하는 방법에 있어서,

기준주파수신호와 상기 기준주파수신호를 소정의 비율로 분주한 락원도우신호의 동기를 일치시키는 단계, 상기 동기가 일치된 신호의 라이징엣지에서 상기 PLL의 출력신호를 소정의 비율로 분주한 신호와 상기 락원도우신호 사이의 위상의 차를 나타내는 에러신호의 상태를 검출하는 단계, 상기 락원도우신호의 반전신호의 라이징엣지에서 상기 에러신호의 상태를 검출하는 단계 및 상기 동기가 일치된 신호의 라이징엣지에서 검출된

신호와 상기 락원도우신호의 반전신호의 라이징엣지에서 검출된 신호를 논리곱하여 상기 PLL의 락 여부를 결정하는 단계를 구비하는 것을 특징으로 하는 PLL 락 검출방법.

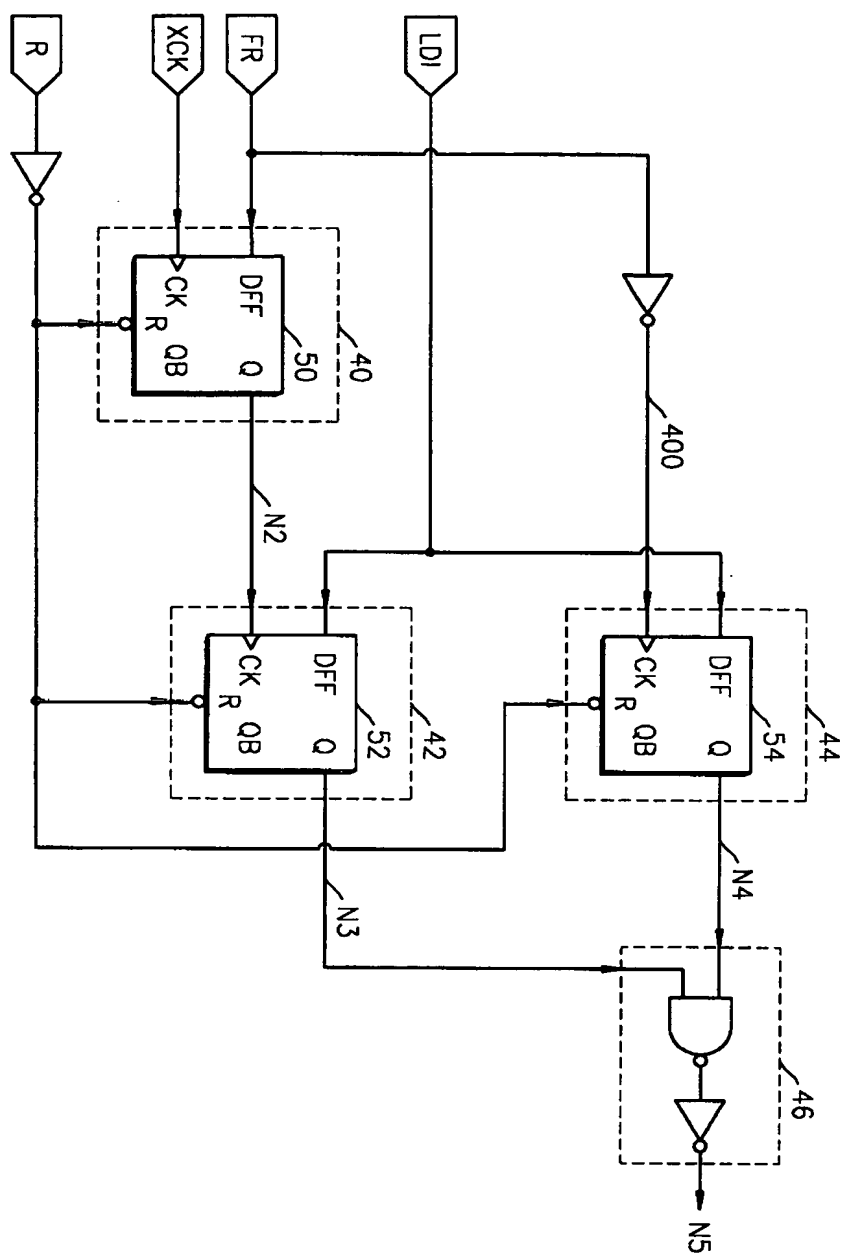
【도면】

【도 1】

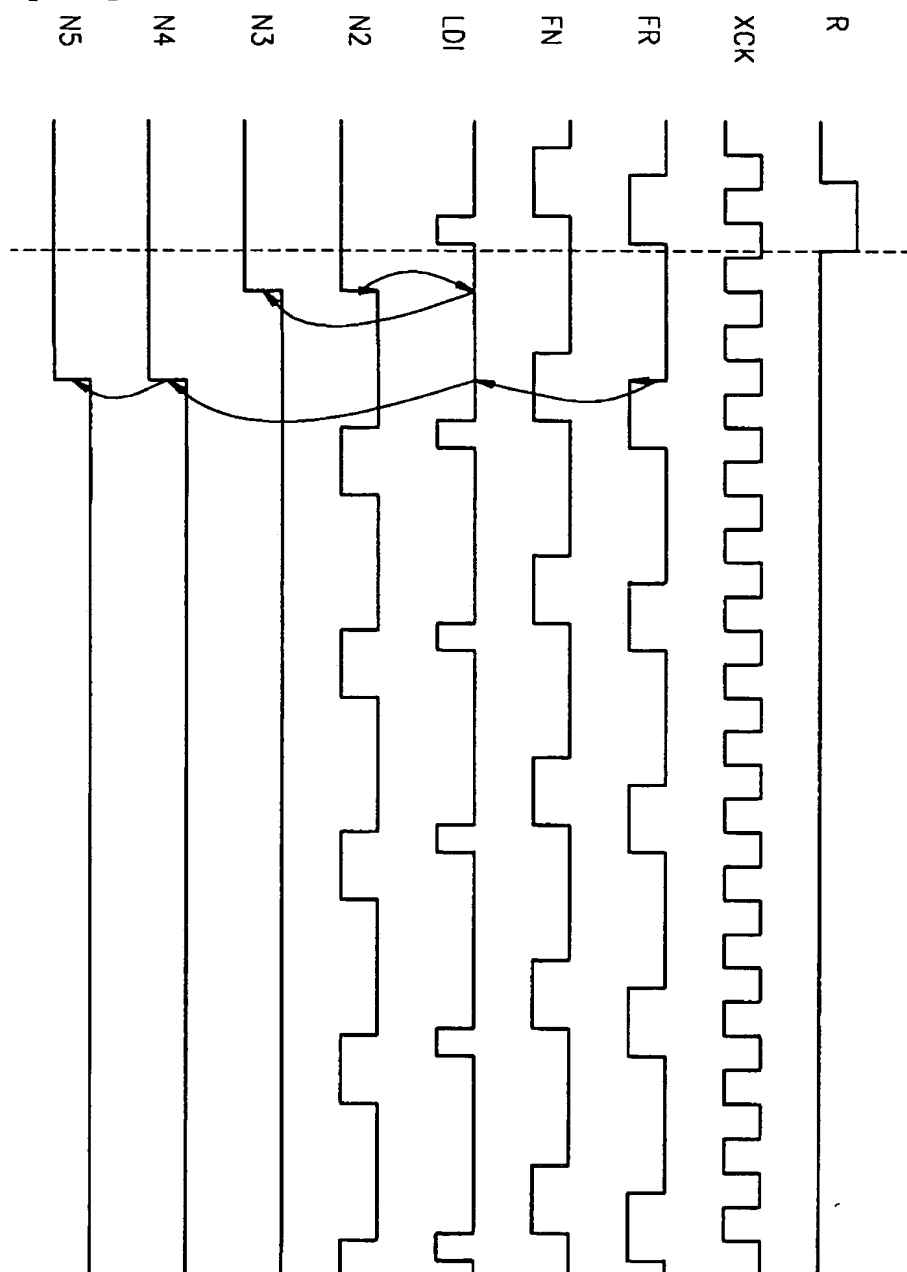


The diagram shows a D flip-flop (DFF) block. It has three inputs: 'LDI' (Data Load Input), 'XCK/2' (Clock Input), and 'R' (Reset Input). The 'R' input is connected to an inverter. The flip-flop has two outputs: 'Q' and 'QB'. The 'Q' output is labeled 'N5' and has a value of 20. The 'QB' output is labeled 'QB'.

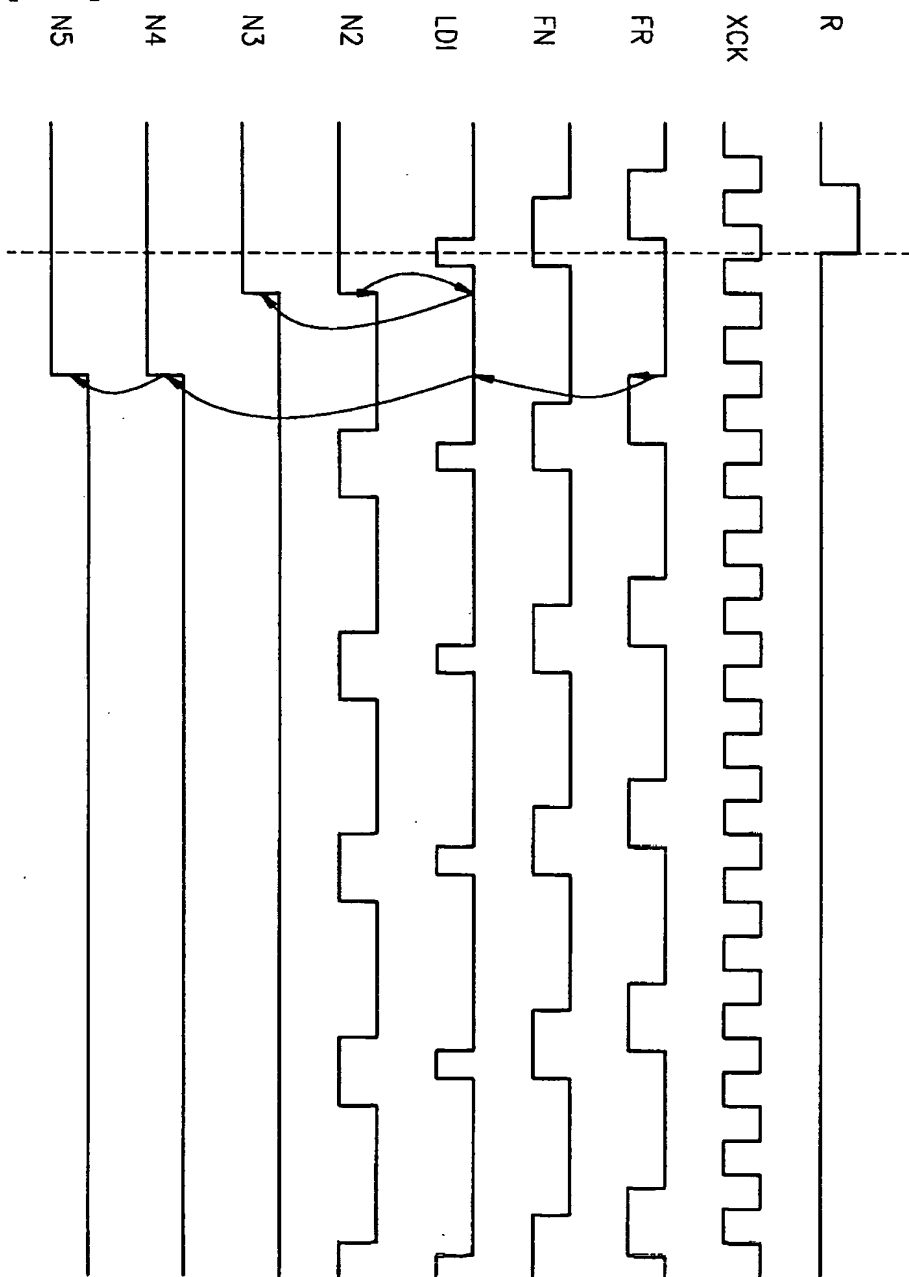
【图 4】



【图 5】

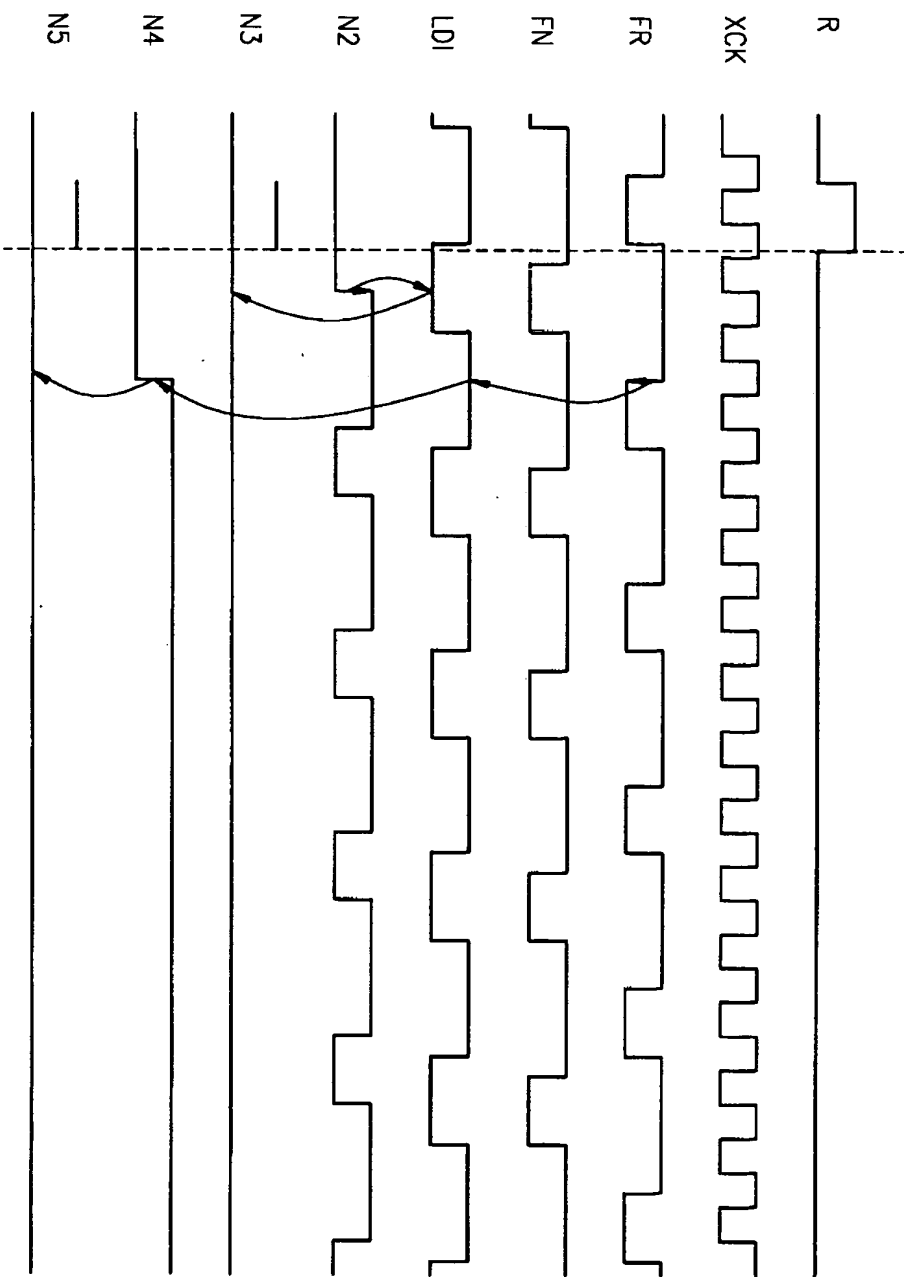


【图 6】

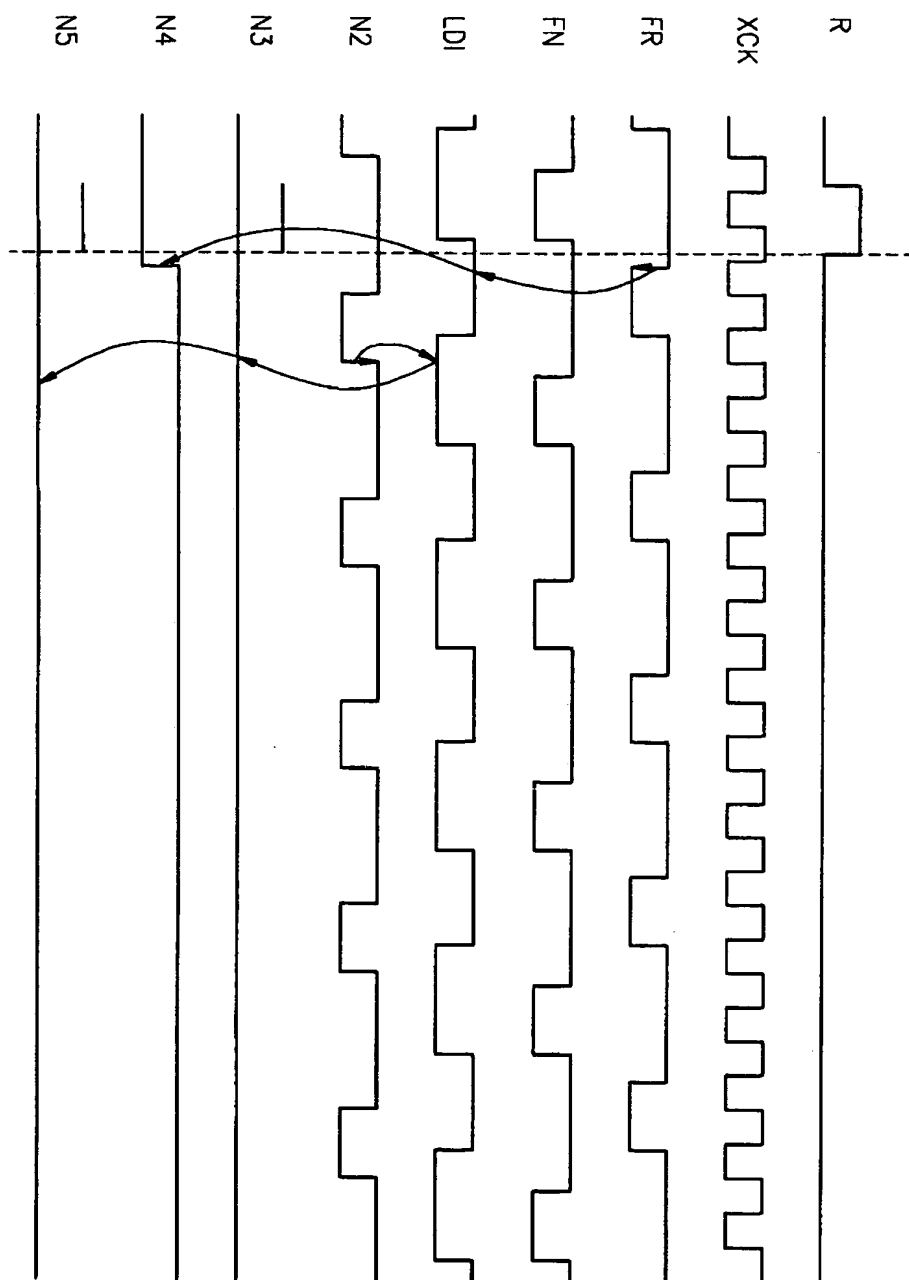




【图 7】



【图 8】



【도 9】

